

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-003205

(43)Date of publication of application : 08.01.1993

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/784

(21)Application number : 03-275843

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 24.10.1991

(72)Inventor : HOSHI YASUYUKI

(30)Priority

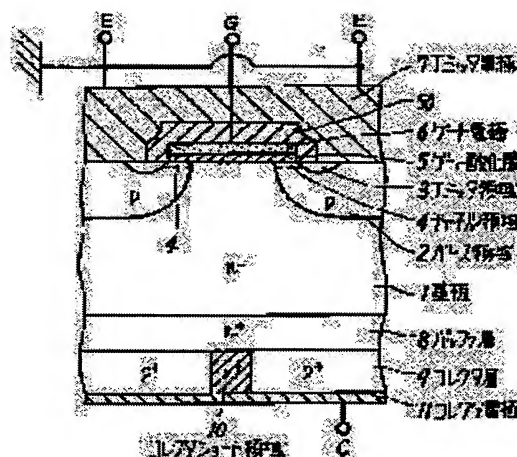
Priority number : 03 7332
03 87116Priority date : 25.01.1991
19.04.1991Priority country : JP
JP

(54) INSULATED-GATE BIPOLAR TRANSISTOR

(57)Abstract:

PURPOSE: To decrease power loss in the on-state of a high-speed device by providing one collector-shortening member for a plurality of cells to eliminate the negative resistance region in the on-state I-V curve.

CONSTITUTION: A collector-shortening region 10 of a first conductivity type is provided for a plurality of cells. The region 10, formed into a single columnar member rather than divided to be distributed on a collector layer, penetrates through the collector layer 9 and in contact with a collector electrode 11. As a result, the electron current injected from an n⁺ emitter region 3 to a channel region 4 by the voltage applied between the gate and emitter flows into a common buffer 8 through the channels of the cells. The current is concentrated in the n⁺ collector-shortening region 10 by the built-in field between the n-type collector-shortening region 10 and p⁺ collector layer. Therefore, the distance the electron current passes by the p⁺ region 9 brings about a voltage drop, thereby assisting the injection of holes from the p⁺ region to promote conductivity modulation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-3205

(43)公開日 平成5年(1993)1月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/331

29/73

29/784

7377-4M

9168-4M

H 0 1 L 29/ 72

29/ 78

3 2 1 J

審査請求 未請求 請求項の数6(全 6 頁)

(21)出願番号 特願平3-275843

(22)出願日 平成3年(1991)10月24日

(31)優先権主張番号 特願平3-7332

(32)優先日 平3(1991)1月25日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-87116

(32)優先日 平3(1991)4月19日

(33)優先権主張国 日本(JP)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 星 保幸

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

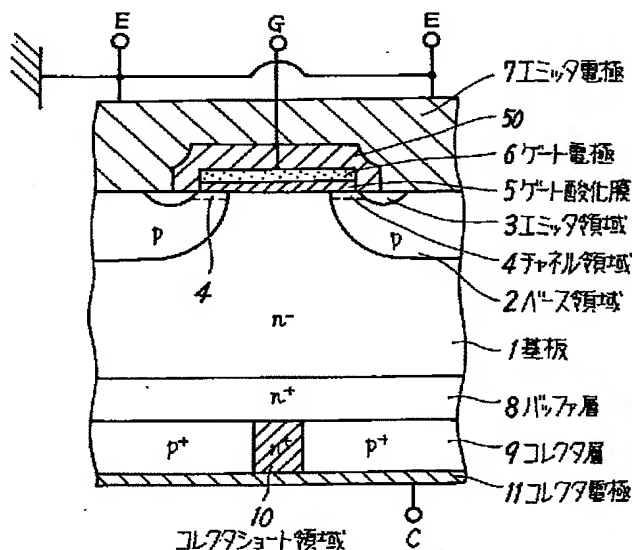
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 絶縁ゲート型バイポーラトランジスタ

(57)【要約】

【目的】コレクタショート型IGBTにおいてオン時にバッファ層から逆導電型のコレクタ層に流れ込むキャリアが減少することにより、I-V特性に負性抵抗が発生し、損失がふえる問題を解決する。

【構成】コレクタショート領域をコレクタ層面内に分散せず、コレクタ電極に接触し第二導電型のコレクタ層を貫通する第一導電型の、例えば柱状の領域を複数のセルについて1個設けて、オン時にバッファ層からのキャリアを集中して流れ込ませることにより、伝導度変調を促進する。あるいはさらにコレクタ電極と第一導電型の領域との間にショットキーバリアを形成する。また、バッファ層とコレクタ層をエピタキシャル法で形成する。



【特許請求の範囲】

【請求項1】第一導電型の第一層の一側の表面層内に選択的に第二導電型のベース領域が形成され、そのベース領域の表面層内に選択的に第一層の露出部をはさんで第一導電型のエミッタ領域が形成され、第一層の他側に第一導電型で高不純物濃度のバッファ層を介して第二導電型のコレクタ層が形成され、ベース領域の第一層の露出部とエミッタ領域にはさまれた部分をチャネル領域として、その表面上にゲート絶縁膜を介して設けられるゲート電極、エミッタ領域およびベース領域に共通に接触するエミッタ電極ならびにコレクタ層に接触するコレクタ電極を備えたセル構造の複数個を一つの半導体素子内に有するものにおいて、コレクタ電極に接触し、コレクタ層を貫通してバッファ層に達する第一導電型の領域が複数のセル構造について1個設けられたことを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項2】コレクタ電極が第二導電型の層とオーム接触をし、第一導電型の領域とショットキー接触をする金属よりなる請求項1記載の絶縁ゲート型バイポーラトランジスタ。

【請求項3】コレクタ層を貫通する第一導電型の領域が断面積0.02mm以上の柱状である請求項1あるいは2記載の絶縁ゲート型バイポーラトランジスタ。

【請求項4】コレクタ層を貫通する第一導電型の領域が円柱状である請求項3記載の絶縁ゲート型バイポーラトランジスタ。

【請求項5】バッファ層およびコレクタ層の不純物濃度が厚み方向にほぼ均一である請求項1ないし4のいずれかに記載の絶縁ゲート型バイポーラトランジスタ。

【請求項6】バッファ層およびコレクタ層が第一層を基板としてのエピタキシャル成長により形成された層である請求項5記載の絶縁ゲート型バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバイポーラトランジスタの表面部にMOS構造を有し、電圧駆動のスイッチング素子として用いられる絶縁ゲート型バイポーラトランジスタ（以下IGBTと記す）に関する。

【0002】

【従来の技術】近年スイッチング素子として伝導度変調を利用したMOSFET、いわゆるIGBTが注目されている。IGBTはMOSFET同様に入力インピーダンスが高く、またバイポーラトランジスタと同様にオン抵抗が低くできる。IGBTのスイッチング速度を高めるために、コレクタショート構造を採用することも行われている。図3はnバッファ領域とコレクタショート構造を有するIGBTの基本構造を示す。この構造においては、 n^- 基板1の表面層内にpベース領域2、さらにその表面層内に n^+ エミッタ領域3とがそれぞれ選択的に

形成されている。 p ベース領域2の n^- 基板1と n^+ エミッタ領域3ではさまれた表面部分はチャネル領域4となる部分で、その上にゲート酸化膜5を介して、ゲート電極6が形成され、ゲート端子Gに接続されている。 n^+ エミッタ領域3の一部にはpベース領域2と共通にエミッタ電極7が接触し、エミッタ端子Eに接続されている。エミッタ電極7はゲート電極6と絶縁膜50で絶縁されている。

【0003】 n^- 基板1の他側には高不純物濃度の熱拡散法によるnバッファ層8が設けられ、さらに n^+ バッファ層8の下面の一部にコレクタ層として p^+ コレクタ領域9がやはり熱拡散法で形成されているが、全面ではなく、一部はバッファ層より高不純物濃度の n^+ コレクタショート領域10に代えられている。そして p^+ コレクタ領域9と n^+ コレクタショート領域10には共通にコレクタ端子Cに接続されるコレクタ電極11が接触し、コレクタショート型構造となっている。このようなコレクタショート型IGBTでは、エミッタ電極7を接地し、ゲート電極6に電圧を印加することにより、 n^+ エミッタ領域3からチャネル領域4を通して n^- 基板1に電子電流が注入され、 n^+ バッファ層8を通過する。この電子電流の一部は n^+ バッファ層8の下面の p/n 接合近傍を流れることで電位降下をもたらし、それによって p^+ コレクタ領域9から n^+ バッファ層8および n^- 基板1への正孔の注入がおこり、その結果 n^+ バッファ層8および n^- 基板1において伝導度変調がおこる。 n^+ バッファ層8および n^- 基板1に注入された正孔電流は、pベース領域2の n^+ エミッタ領域3直下を通りエミッタ電極7へ抜ける。エミッタ電極7はpベース領域2と n^+ エミッタ領域3を短絡しているため、 p^+ コレクタ領域9、 n^+ バッファ層8および n^- 基板1、pベース領域2、 n^+ エミッタ領域3からなる pnp 構造のサイリスタ動作を阻止し、ゲート・エミッタ間電位をゼロにすることで素子をターンオフすることができる。

【0004】 n^+ コレクタショート領域10は、図4に示すようにコレクタ電極11の接触する表面12から n^+ バッファ領域8に達する円柱形で、面内に均一に分散している。あるいは条状の n^+ コレクタショート領域がコレクタ層中に縞状に分散して設けられる。このような基本構造をもつセルの多数個で一つの単位IGBT素子部を形成しており、ゲート電極6は共通のゲート配線に引き出される。そして1枚の半導体ウエハにそのような単位素子部の複数が形成される。

【0005】

【発明が解決しようとする課題】このようなnバッファ付コレクタショート型IGBTでは、前述のように素子オン時、 n^+ エミッタ領域3からチャネル領域4を通過し、 n^- 基板1に電子電流が注入され、注入された電子は高不純物濃度のnバッファ層8を通過するが、 n^+ コレクタショート領域10と p^+ コレクタ領域9のビルトイ

ン電界でさらに電子電流は n^+ コレクタショート領域10へ加速される。従って p コレクタ領域9を通過する電子電流が減少するために、ビルトイン電界の確保が遅くなる。また素子オン時には、 n^+ エミッタ領域3、 n^- 基板1、 n^+ バッファ層8、 n^+ コレクタショート領域10が同一導電型で電氣的に接続されているため、MOSFETが形成されていることにより、図5の線51に示すように素子の電流・電圧特性にMOSFETの特性である負性抵抗が発生する。さらに、 p^+ コレクタ領域10から正孔の注入が開始されても、 n^+ バッファ層8により再結合する割合が大きいために、 n^+ バッファ層8および n^- 基板1での伝導度変調の割合が小さくなり、飽和電圧が増加する。このことはオン時の電力損失につながり、特に高周波で駆動する場合に大きな問題となる。

【0006】本発明の目的は、上記欠点を除去し、オン時の負性抵抗成分を消滅させ、飽和電圧を低減させることで、オン時の電力損失の小さいIGBTを提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明は、第一導電型の第一層の一侧の表面層内に選択的に第二導電型のベース領域が形成され、そのベース領域の表面層内に選択的に第一層の露出部をはさんで第一導電型のエミッタ領域が形成され、第一層の他側に第一導電型で高不純物濃度のバッファ層を介して第二導電型のコレクタ層が形成され、ベース領域の第一層の露出部とエミッタ領域にはさまれた部分をチャネル領域として、その表面上にゲート絶縁膜を介して設けられるゲート電極、エミッタ領域およびベース領域に共通に接触するエミッタ電極ならびにコレクタ層に接触するコレクタ電極を備えたセル構造の複数個を一つの半導体素子内に有するIGBTにおいて、コレクタ電極に接触し、コレクタ層を貫通してバッファ層に達する第一導電型の領域が複数のセル構造について1個設けられたものとする。そしてその場合、コレクタ電極が第二導電型の層とオーム接触をし、第一導電型の領域とショットキー接触をする金属からなることも有効である。また、コレクタ層を貫通する第一導電型の領域が断面積 0.02mm^2 以上の柱状であること、さらにはそれが円柱状であることが効果的である。さらに、これらのIGBTのバッファ層およびコレクタ層の不純物濃度が厚み方向にほぼ均一であることが有効であり、それは各層が第一層を基板としてのエピタキシャル成長によって形成された層であることにより実現できる。

【0008】

【作用】コレクタ電極とバッファ層とを短絡する第一導電型のコレクタショート領域が各セルの第二導電型のコレクタ層に分散して設けられず、複数のセルについて1個集中して設けられる結果、素子オン時に表面層のチャネルを通じて注入されるキャリアによる電流がすべて第

二導電型のコレクタ層とコレクタ層を貫通する第一導電型のコレクタショート領域の間のビルトイン電界により加速され、コレクタショート領域に集中する。その際、この電流がコレクタ層近傍を通過する距離が長くなると共に、電流密度が増加するため、第一導電型のバッファ層と第二導電型のコレクタ領域の界面での電位降下をもたらし、これによってコレクタ領域から第一導電型の第一層への逆極性のキャリアの注入がおこり、その結果第一層の伝導度変調がおこる。コレクタ領域の面積が従来のコレクタショート型IGBTにおけるより大きいため、伝導度変調の正帰還が起こりやすく、オン時の電流・電圧特性の負性抵抗が消滅する。この場合、コレクタ電極とバッファ層とを短絡する第一導電型の貫通領域の直上にあるセルからは電流はその領域に直線的に到達するため、第二導電型のコレクタ領域に沿って流れることがないので上記の電位差の形成に役立たないが、コレクタ電極が第一導電型貫通領域とショットキー接触をすれば、キャリアがそのバリアによって阻止されて貫通領域に蓄積される結果、第二導電型のコレクタ領域との間にビルトイン電位降下をひきおこしやすくなり、コレクタ領域からの第一導電型貫通領域直上のセルへの逆キャリアの注入が加速される。さらに、コレクタ層とバッファ層の厚み方向の不純物濃度勾配をなくすことにより、両層の界面で不純物濃度が、急激に変化し、コレクタ層から第一層へのキャリアのはき出しが促進され、拡散電流が多くなってオン電圧が低下する。

【0009】

【実施例】図1、図2は本発明の一実施例のIGBTの単一セルを示す断面図、およびその半導体素体の下面を上にした斜視図で、図3、図4と共通の部分には同一の符号が付されている。このIGBTでは、厚さ $220\mu\text{m}$ の n^- 基板1の表面層内に p ベース領域2が幅 $40\mu\text{m}$ の n^- 基板1の露出部をはさんで形成され、ベース領域の表面層内に n^+ エミッタ領域3が形成されている。さらに幅 $5\mu\text{m}$ のチャネル領域4の上にはゲート酸化膜5を介してゲート電極6が形成されている。以上の構造は図3、図4と同一である。一方、基板1の下面には $7\sim 8\mu\text{m}$ の厚さの n^+ バッファ層8が設けられ、その下面に $2\sim 3\mu\text{m}$ の厚さの p^+ コレクタ層9が形成されていることも図3、図4と同様であるが、 n^+ コレクタショート領域10が多数設けられておらず、図に示すようなセルの集合体である単位IGBT素子部に1個あるいは複数個形成されている。 n^+ コレクタショート領域10は n^+ バッファ層8より高不純物濃度で p^+ コレクタ層9を貫通する円柱状に形成されるが、その直径は $200\mu\text{m}$ で 0.0314mm^2 の断面積を有する。このIGBTのゲート・エミッタ間の電圧印加により n^+ エミッタ領域3からチャネル領域4に注入された電子電流は n^+ バッファ層8へ通過する。各セルのチャネル領域から共通のバッファ層8へ入った電子電流は、 n^+ コレクタショート領域10と

p^+ コレクタ層9との間のビルトイン電界により、 n^+ コレクタショート領域10に集中する。このように電子電流が各チップから n^+ コレクタショート領域10に集中するため、電子電流は図3、図4に示す構造と違い、 p^+ 領域9の脇を通過する距離が長くなると共にその電流密度が増加するために電位降下をもたらす、 p^+ 領域からの正孔の注入を促して伝導度変調が発生する。さらに p^+ 領域9の面積が大きいために伝導度変調の正帰還が起こり易く、図5の線52に示すように、この素子I-V特性では負性抵抗が消滅し、飽和電圧の低下が図られ、オン時の損失が低減する。なお、コレクタショート領域10の断面積が小さいと、電子電流が流れ込みにくくなるので 0.02mm^2 以上であることが望ましい。

【0010】図6は本発明の別の実施例のIGBTの単一セルの断面を示し、 n^+ バッファ層8が円柱状に p^+ コレクタ層9中に延び、その表面に薄い n^+ コレクタショート領域10が形成されてコレクタ電極11に接触している。

【0011】図7に示すさらに別の実施例は、図6と同様の構造を有するが、 p^+ コレクタ層9および n^+ コレクタショート領域10に接触するコレクタ電極14は n^+ 領域10との間にショットキー・バリアを形成している。このように n 形Siに対してショットキーバリアを形成するコレクタ電極13の材料としては、 n 型Siの電子親和力のエネルギーより大きい仕事関数をもつ金属が選ばれる。この実施例ではMoを用いた。このIGBTのゲート電極6とエミッタ電極7間に電圧を印加した場合、 n^+ コレクタショート領域10直上のセルからの電子電流は直線的にその n^+ 領域10へ到達するため、 p^+ コレクタ領域9の近傍を流れず、 p^+ コレクタ領域9と n^+ バッファ領域8との接合での電位降下の増大には寄与しない。しかし、コレクタ電極13と n^+ 領域10との間にショットキーバリアが存在することで、 n^+ 領域10に集中した電流は蓄積される結果、 n^+ コレクタショート領域10と p^+ コレクタ領域9によるビルトイン電位降下をおこしやすくなり、 p^+ 領域からの正孔の注入が加速され、注入量が増加する。そして、さらに電子の濃度が高くなればバリアを越えてコレクタ電極13に電子が流入する。この結果、図8に示すように、図7の実施例のIGBTの電流・電圧特性82では図6の実施例の電流・電圧特性81に比してさらにオン電圧が低下した。

【0012】以上の実施例における p^+ コレクタ層9は n^- 基板の表面から不純物を熱拡散することにより形成した場合、コレクタ層9の不純物濃度は n^+ バッファ層8に近くなるに従い低下する勾配を有する。さらに n^+ バッファ層8を熱拡散で形成されるため、その層内にも不純物濃度勾配が生ずる。これらの濃度勾配によって作られた電界は飽和電圧を高める方向にあり、 n^+ バッファ層8と p^+ コレクタ層9との界面での p^+ コレクタ層9の正孔濃度が減少することは、拡散電流を低下させる

ことになる。本発明の別の実施例では、 n^- 基板1の上に n^+ 層を $10\mu\text{m}$ 以上の厚さにエピタキシャル成長により形成し、コレクタショート領域の形成される円柱状の部分のみを残して表面層を $5\mu\text{m}$ 以上除去して $5\mu\text{m}$ 以上の厚さのバッファ層8を形成したのち、その除去した部分にエピタキシャル成長で p^+ コレクタ層9を形成する。そのコレクタ層9の中に露出している n^+ バッファ層8の表面層には不純物拡散により n^+ コレクタショート領域10を形成する。このようにして、 n^+ バッファ層8および p^+ コレクタ層9の厚み方向の不純物濃度勾配をなくし、界面での p^+ コレクタ層9の正孔濃度を表面濃度と一定に調整することでオン電圧を低下させることができる。すなわち、図9に示すようにバッファ層8およびコレクタ層9を熱拡散法で形成した実施例のIGBTの電流・電圧特性91に比して、エピタキシャル法で形成した実施例のIGBTの電流・電圧特性92ではオン電圧がより低下した。

【0013】以上 n チャネルIGBTの実施例について説明したが、各部の導電型を入れ換えた p チャネルIGBTにおいて実施しても上記と同様の特性が得られることは明らかである。

【0014】

【発明の効果】本発明によれば、コレクタショートのための短絡部を分散して設けなくて、複数のセルに対して1個設け、各セルの表面のチャネルを通じて注入されるキャリアがバッファ層を介してその短絡部に集中して流れるようにすることにより、伝導度変調が促進されるのでオン時のI-V特性の負性抵抗成分がなくなり、高速スイッチング速度の素子のオン時の電力損失を低減することができた。さらに、短絡部との間にショットキーバリアを形成する金属をコレクタ電極の材料として用いることにより、短絡部に集中したキャリアを蓄積させ、あるいはバッファ層とコレクタ層の不純物濃度を厚み方向にほぼ均一にしてコレクタ層からのキャリアの注入を促すことにより、伝導度変調促進の効果をより強めることができた。

【図面の簡単な説明】

【図1】本発明の一実施例のIGBTの単一セルの断面図

【図2】図1に示したIGBTの半導体素体の下面を上にしての斜視図

【図3】従来のコレクタショート型IGBTの単一セルの断面図

【図4】図2に示したIGBTの半導体素体の下面を上にしての斜視図

【図5】従来例および図1に示した本発明の実施例のIGBTの電流・電圧線図

【図6】本発明の別の実施例のIGBTの単一セルの断面図

【図7】本発明の他の実施例のIGBTの単一セルの断

面図

【図8】図6，図7に示した本発明の実施例のIGBTの電流・電圧線図

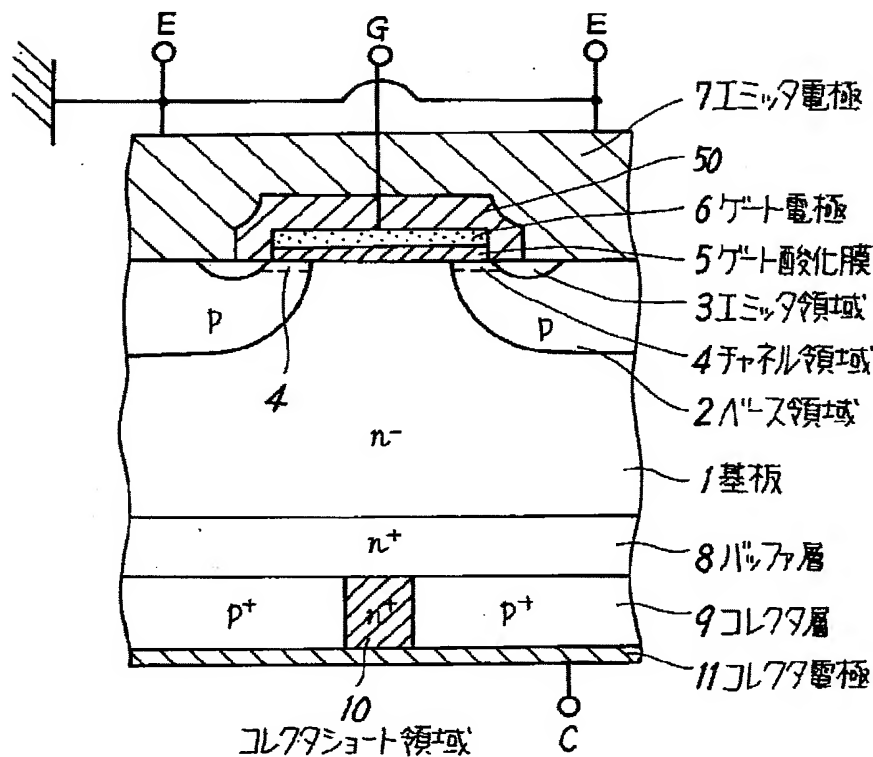
【図9】本発明のさらに異なる実施例のIGBTの単一セルの断面図

【符号の説明】

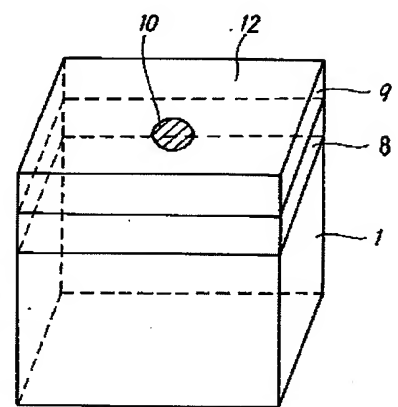
- 1 n^- 基板
2 p ベース領域
3 n^+ エミッタ領域

- 4 チャネル領域
5 ゲート酸化膜
6 ゲート電極
7 エミッタ電極
8 n^+ バッファ層
9 p^+ コレクタ層
10 n^+ コレクタショート領域
11 コレクタ電極
13 ショットキーコレクタ電極

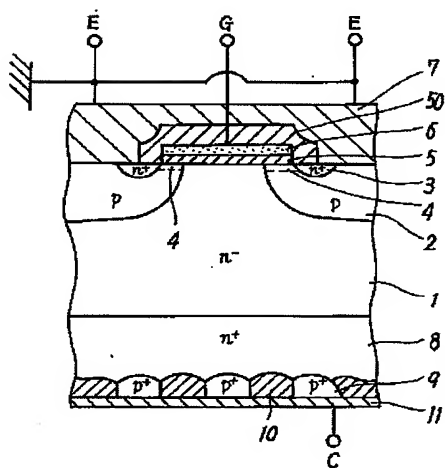
【図1】



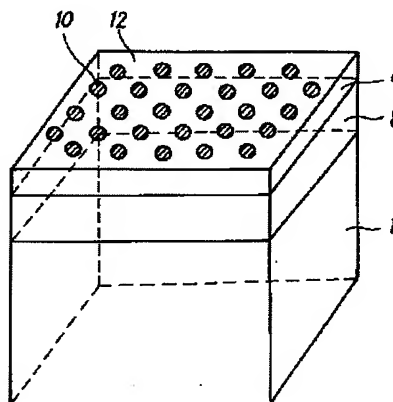
【図2】



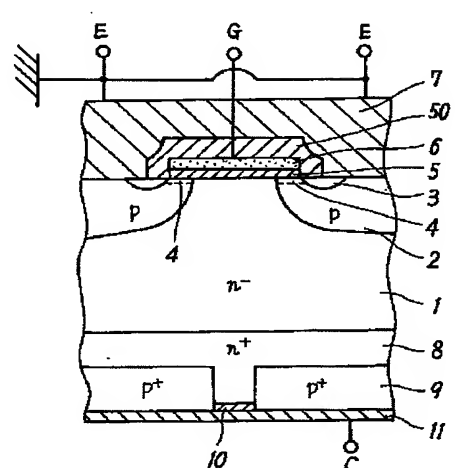
【図3】



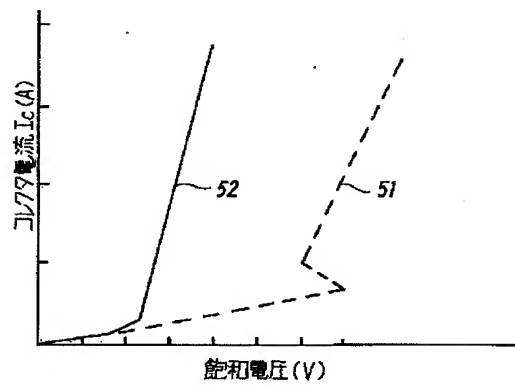
【図4】



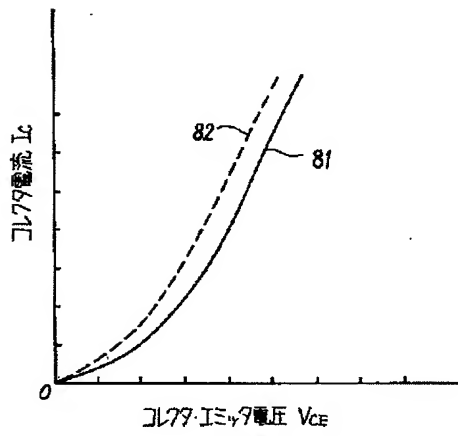
【図6】



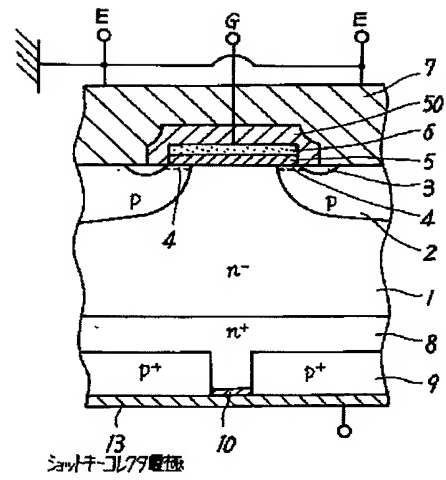
【図5】



【図8】



【図7】



【図9】

